

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0033237
Application Number

출원년월일 : 2003년 05월 24일
Date of Application MAY 24, 2003

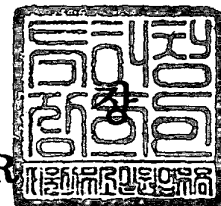
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 06 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.05.24
【발명의 명칭】	반도체 패키지장치 및 그 제조 방법
【발명의 영문명칭】	semiconductor package device and fabrication method thereof
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	송호욱
【성명의 영문표기】	SONG, Ho Uk
【주민등록번호】	690526-1109115
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대3차아파트 302동 208호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	714,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 본딩패드영역을 최소화할 수 있는 반도체 패키지 장치 및 그 제조 방법에 관해 개시한 것이다.

개시된 본 발명에 따른 반도체 패키지장치는 미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과, 반도체 칩 위에 형성되며 본딩패드를 노출시키는 평탄화막과, 평탄화막 위에 형성되며 적어도 일부분이 본딩패드와 연결되고 본딩패드보다 크기가 더 크게 구현되는 금속 패턴과, 평탄화막과 금속 패턴 사이에 개재되는 씨드메탈층을 포함한다.

본 발명에서는 본딩패드가 미세 크기 및 미세 간격을 가진 경우, 상기 본딩패드와 연결되는 연결부로서, 적어도 상기 본딩패드를 덮고 상기 본딩패드보다 사이즈가 큰 금속 패턴을 이용하여 와이어 본딩 공정을 수행 가능하다. 따라서, 본딩패드영역을 50~80% 이상 감소시킬 수 있으며, 이에 따라 반도체 칩 내 칩수를 증가시킬 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체 패키지장치 및 그 제조 방법{semiconductor package device and fabrication method thereof}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 패키지 및 그 제조 방법을 설명하기 위한 공정단면도.

도 2는 본 발명의 일실시예에 따른 다른 반도체 패키지장치를 보인 반도체 칩 평면도.

도 3은 도 3의 AB선을 따라 절단한 단면도.

도 4a 내지 도 4c는 본 발명의 일실시예에 따른 반도체 패키지장치의 제조 방법을 설명하기 위한 공정단면도.

도 5은 본 발명의 다른 실시예에 따른 다른 반도체 패키지장치를 보인 평면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 본딩 패드영역을 최소화할 수 있는 반도체 패키지장치 및 그 제조 방법에 관한 것이다.
- <7> 일반적으로 널리 알려진 바와 같이, 웨이퍼의 박막 성장 기법에 의해 제조된 칩(chip)을 웨이퍼로부터 절단(sawing)분리한 다음, 분리된 칩을 실드(shield)나 몰딩(molding)

으로 외부의 습기나 불순물로부터 보호되고 또한 외부회로와의 접속을 위한 리드를 부착한 패키지 형태로 상품화된다.

- <8> 이러한 패키지중 대부분의 공간을 칩이 차지하는 정도의 크기로 몰딩되는 칩크기의 패키지는 그 자체가 단일한 미소 소자(micro device)로 상품화되어 회로기판에 있어서의 실장밀도를 높이고 응용 주문형 집적회로(ASIC:Application Specific IC)등 각종 집적회로에서의 집적도를 높이는 데 유용하다.
- <9> 도 1은 종래 기술에 따른 엘오씨(Lead On Chip)타입의 반도체 패키지의 단면도이다.
- <10> 종래 기술에 따른 반도체 패키지는, 도 1에 도시된 바와 같이, 관통홀(미도시) 및 관통홀을 채우는 배선(15)이 각각 형성된 기판(12)과, 다수개의 본딩패드(11)가 구비된 반도체 칩(10)과, 기판(12)과 반도체 칩(10) 사이에 개재되는 접착테이프(14)와, 본딩패드(11)와 배선(15)의 일단을 연결시키는 본딩와이어(13)와, 배선(15)의 타단에 부착되는 도전성 볼(17)로 구성된다.
- <11> 상기 구성을 갖는 종래 기술에 따른 반도체 패키지의 제조방법은, 먼저, 기판(12) 위에 접착테이프(14)를 이용하여 반도체 칩(10)을 부착시킨 다음, 반도체 칩(10)의 본딩패드(11)와 기판(12)의 배선(15)과의 전기적 연결을 위하여 본딩와이어(13)를 형성한다.
- <12> 이 후, 외부의 먼지나 습기를 차단하기 위해, 본딩와이어(13) 및 반도체 칩(10)을 덮도록 몰딩체(19)를 형성한 다음, 외부와의 전기적 연결을 위하여 기판(12)의 배선(15) 상에 솔더볼(17)을 부착시키어 패키지 제조를 완료한다.

【발명이 이루고자 하는 기술적 과제】

- <13> 에스램(SRAM)에서 진보된 메모리소자인 디디알(DDR) 또는 디디알2(DDR2)등과 같은 고성능 디램(DRAM)은 칩의 여러 기능(function)이 늘어나게 되고, 이는 곧 패드수에 있어서 많은 증가를 요구하게 된다. 또한, 칩 크기의 감소를 감안하면, 본딩패드의 미세화는 더욱 진행하게 되어 와이어본딩 등의 패키징 공정은 점점 더 어려워지고 신뢰성을 확보하기가 곤란한 문제점이 있었다.
- <14> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 본딩패드가 미세화된 경우에도 패키징 공정을 적용할 수 있는 반도체 패키지장치 및 그 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

- <15> 상기 목적을 달성하기 위한 본 발명에 따른 반도체 패키지장치는 미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과, 반도체 칩 위에 형성되며 본딩패드를 노출시키는 평탄화막과, 평탄화막 위에 형성되며 적어도 일부분이 본딩패드와 연결되고 본딩패드보다 크기가 크게 구현되는 금속 패턴과, 평탄화막과 금속 패턴 사이에 개재되는 씨드메탈층을 포함한 것을 특징으로 한다.
- <16> 상기 평탄화막과 씨드메탈층 사이에는 스트레스 완화용 산화막이 개재된다.
- <17> 상기 금속패턴과 상기 씨드 메탈층의 총두께는 1~10 μ m를 가진다.
- <18> 상기 씨드 메탈층은 Ti/NiV/Cu의 3중 적층막 구조를 가지며, 금속 패턴은 알루미늄-은(Al-Ag) 합금 및 구리-은(Cu-Ag) 합금 중 어느 하나의 재질을 이용한다.
- <19> 상기 본딩패드는 10 \times 10 μ m (가로 \times 세로)크기를 가진다.

- <20> 상기 금속 패턴은 상기 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 배열된 구조를 가지거나, 또는 상기 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 하나씩 교차 배열된다. 이때, 상기 교차 배열은 비스듬한 경사각을 가지고 배열된다.
- <21> 본 발명에 따른 반도체 패키지장치는 미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과, 반도체 칩 위에 형성되며 본딩패드를 노출시키는 개구부를 가진 평탄화막과, 평탄화막 위에 차례로 형성되며 적어도 일부분이 본딩패드를 덮고 본딩패드를 기준으로 좌우 및 상하 방향으로 배열된 구조를 이루는 씨드메탈층 및 금속 패턴과, 평탄화막과 씨드메탈층 사이에 개재된 스트레스 완화용 산화막을 포함한 것을 특징으로 한다.
- <22> 본 발명에 따른 반도체 패키지장치는 미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과, 반도체 칩 위에 형성되며 본딩패드를 노출시키는 개구부를 가진 평탄화막과, 평탄화막 위에 차례로 형성되며 적어도 일부분이 본딩패드를 덮고 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 하나씩 교차 배열된 씨드메탈층 및 금속 패턴과, 평탄화막과 씨드메탈층 사이에 개재된 스트레스 완화용 산화막을 포함한 것을 특징으로 한다.
- <23> 상기 씨드메탈층 및 금속 패턴은 비스듬한 경사각을 가지고 교차배열된다.
- <24> 본 발명에 따른 반도체 패키지장치의 제조 방법은 미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩을 제공하는 단계와, 반도체 칩 위에 본딩패드를 노출시키는 개구부를 가진 평탄화막을 형성하는 단계와, 평탄화막이 구비된 기판 전면에서 씨드메탈층을 형성하는 단계와, 씨드메탈층 위에 적어도 일부분이 본딩패드를 노출시키는

솔더레지스트 패턴을 형성하는 단계와, 결과물 상에 솔더 레지스트 패턴 표면을 노출시키고 솔더 레지스트 패턴 사이를 채우는 금속 패턴을 형성하는 단계와, 솔더 레지스트 패턴을 제거하는 단계와, 금속 패턴을 마스크로 하여 씨드메탈층을 식각하는 단계를 포함한 것을 특징으로 한다.

- <25> 상기 평탄화막과 상기 씨드메탈층 사이에 스트레스 완화용 산화막을 개재시키는 단계를 추가한다.
- <26> 상기 솔더 레지스트 패턴은 상기 금속 패턴보다 1~1.7배 두껍게 형성한다. 상기 씨드메탈층은 Ti막, NiV막 및 Cu막을 차례로 적층하여 형성한다.
- <27> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
- <28> 도 2는 본 발명의 일실시예에 따른 다른 반도체 패키지장치를 보인 반도체 칩의 평면도이다. 또한, 도 3은 도 3의 AB선을 따라 절단한 단면도이다.
- <29> 본 발명에 따른 반도체 패키지는, 도 2 및 도 3에 도시된 바와 같이, 미세 간격 및 미세 크기로 배열된 본딩패드(21)가 다수개 구비된 반도체 칩(20)과, 반도체 칩(20) 위에 형성되며 본딩패드(21)를 노출시키는 각각의 제 1 및 제 2평탄화막(22)(23)과, 제 2 평탄화막(23) 위에 차례로 형성되며 적어도 일부분이 본딩패드영역을 덮는 씨드메탈층 및 금속 패턴(26a)(27)과, 제 2평탄화막(23)과 씨드메탈층(26a) 사이에 개재된 스트레스 완화용 산화막(24)을 포함하여 구성된다.
- <30> 이때, 상기 금속패턴(27)은 적어도 일부분은 본딩패드영역을 덮으면서 좌우 및/또는 상하 방향으로 배열된 구조를 가진다.

1020030033237

- <31> 도 4a 내지 도 4c는 본 발명에 따른 반도체 패키지의 제조 방법을 설명하기 위한 공정 단면도이다.
- <32> 상기 구성을 가진 본 발명에 따른 반도체 패키지의 제조 방법은, 도 4a에 도시된 바와 같이, 본딩패드(21)들이 구비된 반도체 칩(20)을 제공한다. 이때, 상기 본딩패드(21)들은 미세 크기 및 미세 간격을 가진 것으로서, 통상적인 방법으로는 패키징 또는 프로브 테스트가 불가능한 배열 상태를 의미한다. 예를 들면, 상기 본딩패드(2)들은 가로×세로가 $30 \times 30 \mu\text{m}$ 이하의 크기, 바람직하게는 $10 \times 10 \mu\text{m}$ 크기를 가진다. 또한, 상기 본딩패드(21)는, 도 3에서는 사각 형상인 것을 보였으나, 상기 사각 형상 이외에 원형 형상을 가질 수도 있다.
- <33> 이어, 상기 반도체 칩 전면에 제 1평탄화막(22), 제 2평탄화막(23) 및 스트레스 완화용 산화막(24)을 차례로 형성한 다음, 이들 막을 선택 식각하여 상기 본딩패드(21)를 노출시키는 개구부(25)를 형성한다. 이때, 상기 스트레스 완화용 산화막(24)은 외부의 충격 등으로 인한 스트레스를 완화시켜 주는 역할을 하는 것으로서, 주로 폴리이미드(polyimide) 계열을 이용한다.
- <34> 그런 다음, 상기 개구부(25)를 포함한 기판 전면에 스퍼터링 방식을 적용하여 씨드메탈층(seed metal layer)(26)을 형성한다. 이때, 상기 씨드메탈층(26)은 전도성 및 접착력이 우수한 물질로서, Ti/NiV/Cu의 3중 적층 구조를 이용한다.
- <35> 이 후, 상기 씨드메탈층 전면에 네거티브형 솔더 레지스트막(미도시)을 도포한 다음, 노광 및 현상 공정을 진행하여 소정 형상의 솔더 레지스트 패턴(30)을 형성한다. 이때, 상기 솔더 레지스트 패턴(30)은 본딩패드(21)를 노출시키며, 적어도 본딩패드영역의 사이즈보다는 크게 패터닝한다.

- <36> 이어, 도 4b에 도시된 바와 같이, 상기 솔더 레지스트 패턴(30)이 구비된 반도체 칩 위에 알루미늄-은(Al-Ag) 합금 또는 구리-은(Cu-Ag) 합금 등을 이용한 금속막(미도시)을 증착한 다음, 상기 솔더 레지스트 패턴(30) 상면을 노출시키는 시점까지 금속막을 식각하여 상기 솔더 레지스트 패턴들 사이의 공간을 채우는 금속 패턴(27)을 형성한다. 이때, 상기 솔더 레지스트 패턴(30)은 상기 금속 패턴(27)보다 1~1.7배 두껍게 형성한다.
- <37> 한편, 상기 금속 패턴(27)은 이 후의 패키징 공정 시 본딩와이어(미도시)와 연결되는 영역으로서, 적어도 본딩패드(21)를 덮으면서 상기 본딩패드(21)의 사이즈보다 크게 제작되며, 상기 본딩패드(21)를 기준으로 좌우 및/또는 상하 중 어느 하나의 방향으로 배열된다.
- <38> 그런 다음, 상기 솔더 레지스트 패턴을 제거한 다음, 도 4c에 도시된 바와 같이, 상기 금속 패턴(27)을 마스크로 하여 상기 씨드메탈층을 식각한다. 이때, 상기 금속 패턴(27) 및 잔류된 씨드 메탈층의 총두께는 1~10 μ m로 한다.
- <39> 본 발명에서는 본딩패드가 미세 크기 및 미세 간격을 가진 경우, 상기 본딩패드영역을 덮고 적어도 상기 본딩패드의 크기보다 크게 제작된 금속 패턴을 형성함으로써, 상기 금속 패턴을 이용하여 와이어본딩 등의 패키징 공정을 진행할 수 있다.
- <40> 도 5은 본 발명의 다른 실시예에 따른 반도체 패키지장치에서, 본딩패드 연결부의 보인 반도체 칩 평면도로서, 지그재그 형태로 배열된 것을 보인 것이다.
- <41> 본 발명의 다른 실시예에 따른 반도체 패키지의 본딩 패드 연결부인 금속 패턴(37)은, 적어도 일부분은 본딩패드영역을 덮고 타부분은 본딩패드(31)를 기준으로 좌우 또는 상

하 방향으로 수평 또는 비스듬한 경사각을 가지고 하나씩 교차 배열(지그재그 형태)된다. 미설명된 도면부호 30은 반도체 칩을 각각 나타낸 것이다.

- <42> 본 발명에 따르면, 본딩패드가 미세 크기 및 미세 간격을 가진 경우, 적어도 본딩패드 영역을 덮고 본딩패드의 크기보다 크게 제작된 금속패턴을 이용하거나, 적어도 본딩패드 영역을 덮고 타부분으로 길게 배열되도록 제작된 금속 패턴을 이용하여 상기 본딩패드와의 와이어본딩 등의 패키징 공정을 진행할 수 있다.

【발명의 효과】

- <43> 이상에서와 같이, 본 발명은 본딩패드가 미세 크기 및 미세 간격을 가지고 있어 패키징 공정이 불가능하거나 작업성이 저하되는 경우, 상기 본딩패드와 연결되는 연결부로서, 적어도 본딩패드영역을 덮고 본딩패드의 사이즈보다 크게 제작된 금속패턴을 이용하여 상기 본딩패드와의 와이어본딩 등의 패키징 공정을 진행할 수 있다.
- <44> 또는, 본 발명은 상기 연결부로서, 적어도 본딩패드영역을 덮고 타부분으로 길게 배열되도록 제작된 금속 패턴을 이용하여 패키징 공정을 진행할 수 있다.
- <45> 따라서, 본 발명에서는 본딩패드영역을 50~80% 이상 감소시킬 수 있으며, 이에 따라 반도체 칩 내 칩수를 증가시킬 수 있는 이점이 있다.
- <46> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다

【특허청구범위】**【청구항 1】**

미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과,
상기 반도체 칩 위에 형성되며, 상기 본딩패드를 노출시키는 평탄화막과,
상기 평탄화막 위에 형성되며, 적어도 일부분이 상기 본딩패드와 연결되고 상기 본딩
패드보다 크기가 크게 구현되는 금속 패턴과,
상기 평탄화막과 상기 금속 패턴 사이에 개재되는 씨드메탈층을 포함한 것을 특징으로
하는 반도체 패키지장치.

【청구항 2】

제 1항에 있어서, 상기 평탄화막과 상기 씨드메탈층 사이에는 스트레스 완화용 산화막
이 개재된 것을 특징으로 하는 반도체 패키지장치.

【청구항 3】

제 1항에 있어서, 상기 금속패턴과 상기 씨드 메탈층의 총두께는 1~10 μ m인 것을 특징
으로 하는 반도체 패키지장치.

【청구항 4】

제 1항에 있어서, 상기 씨드 메탈층은 Ti/NiV/Cu의 3중 적층막 구조를 가진 것을 특징
으로 하는 반도체 패키지장치.

【청구항 5】

제 1항에 있어서, 상기 본딩패드는 10 × 10 μ m(가로×세로) 크기를 가진 것을 특징으로 하
는 반도체 패키지장치.

【청구항 6】

제 1항에 있어서, 상기 금속 패턴의 재질은 알루미늄-은(AI-Ag) 합금 및 구리-은(Cu-Ag) 합금 중 어느 하나인 것을 특징으로 하는 반도체 패키지장치.

【청구항 7】

제 1항에 있어서, 상기 금속 패턴은 상기 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 배열된 구조를 가진 것을 특징으로 하는 반도체 패키지장치.

【청구항 8】

제 1항에 있어서, 상기 금속 패턴은 상기 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 하나씩 교차 배열된 것을 특징으로 하는 반도체 패키지장치.

【청구항 9】

제 8항에 있어서, 상기 금속 패턴은 비스듬한 경사각을 가지고 교차배열된 것을 특징으로 하는 반도체 패키지장치.

【청구항 10】

미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과,

상기 반도체 칩 위에 형성되며, 상기 본딩패드를 노출시키는 개구부를 가진 평탄화막과,

상기 평탄화막 위에 차례로 형성되며, 적어도 일부분이 상기 본딩패드와 연결되고 상기 본딩패드보다 크기가 크게 구현되며, 상기 본딩패드를 기준으로 좌우 및 상하 방향으로 배열된 구조를 이루는 씨드메탈층 및 금속 패턴과,

상기 평탄화막과 상기 씨드메탈층 사이에 개재된 스트레스 완화용 산화막을 포함한 것을 특징으로 하는 반도체 패키지장치.

【청구항 11】

제 10항에 있어서, 상기 금속 패턴의 재질은 알루미늄-은(Al-Ag) 합금 및 구리-은(Cu-Ag) 합금 중 어느 하나인 것을 특징으로 하는 반도체 패키지장치.

【청구항 12】

제 10항에 있어서, 상기 씨드 메탈층은 Ti/NiV/Cu의 3중 적층막 구조를 가진 것을 특징으로 하는 반도체 패키지장치.

【청구항 13】

미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩과,

상기 반도체 칩 위에 형성되며, 상기 본딩패드를 노출시키는 개구부를 가진 평탄화막과,

상기 평탄화막 위에 차례로 형성되며, 적어도 일부분이 상기 본딩패드와 연결되고 상기 본딩패드의 크기보다 크게 구현되며, 상기 본딩패드를 기준으로 좌우 및 상하 중 어느 하나의 방향으로 하나씩 교차 배열된 씨드메탈층 및 금속 패턴과,

상기 평탄화막과 상기 씨드메탈층 사이에 개재된 스트레스 완화용 산화막을 포함한 것을 특징으로 하는 반도체 패키지장치.

【청구항 14】

제 13항에 있어서, 상기 씨드메탈층 및 금속 패턴은 비스듬한 경사각을 가지고 교차 배열된 것을 특징으로 하는 반도체 패키지장치.

【청구항 15】

미세 간격 및 미세 크기로 배열된 본딩패드가 다수개 구비된 반도체 칩을 제공하는 단계와,

상기 반도체 칩 위에 상기 본딩패드를 노출시키는 개구부를 가진 평탄화막을 형성하는 단계와,

상기 평탄화막이 구비된 기판 전면에 씨드메탈층을 형성하는 단계와,

상기 씨드메탈층 위에 적어도 일부분이 상기 본딩패드를 노출시키는 솔더레지스트 패턴을 형성하는 단계와,

상기 결과물 상에 솔더 레지스트 패턴 표면을 노출시키고, 상기 솔더 레지스트 패턴 사이를 채우는 금속 패턴을 형성하는 단계와,

상기 솔더 레지스트 패턴을 제거하는 단계와,

상기 금속 패턴을 마스크로 하여 상기 씨드메탈층을 식각하는 단계를 포함한 것을 특징으로 하는 반도체 패키지장치의 제조 방법.

【청구항 16】

제 15항에 있어서, 상기 평탄화막과 상기 씨드메탈층 사이에 스트레스 완화용 산화막을 개재시키는 단계를 추가하는 것을 특징으로 하는 반도체 패키지장치의 제조 방법.

【청구항 17】

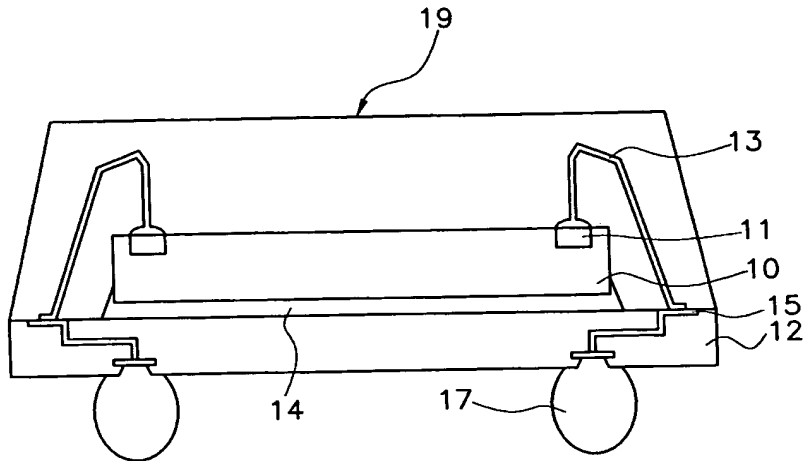
제 15항에 있어서, 상기 솔더 레지스트 패턴은 상기 금속 패턴보다 1~1.7배 두껍게 형성하는 것을 특징으로 하는 반도체 패키지장치의 제조 방법.

【청구항 18】

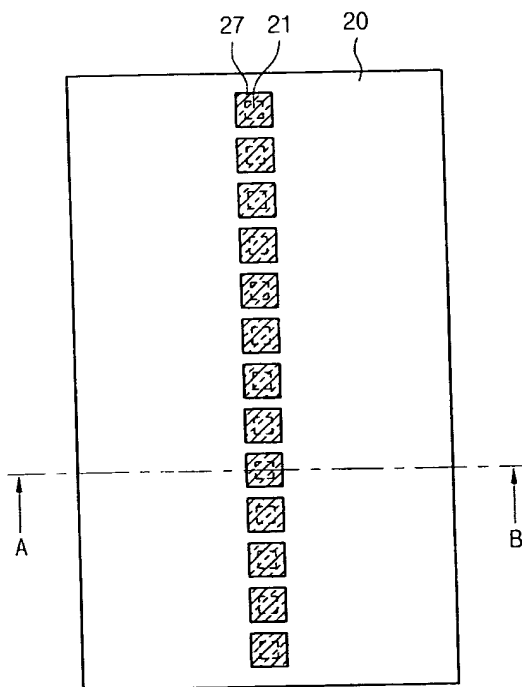
제 15항에 있어서, 상기 씨드 메탈층은 Ti막, NiV막 및 Cu막을 차례로 적층하여 형성하는 것을 특징으로 하는 반도체 패키지장치의 제조 방법.

【도면】

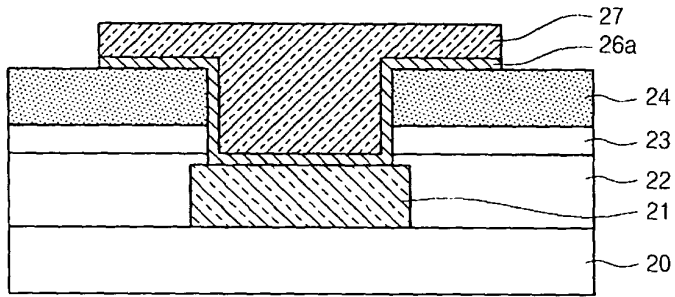
【도 1】



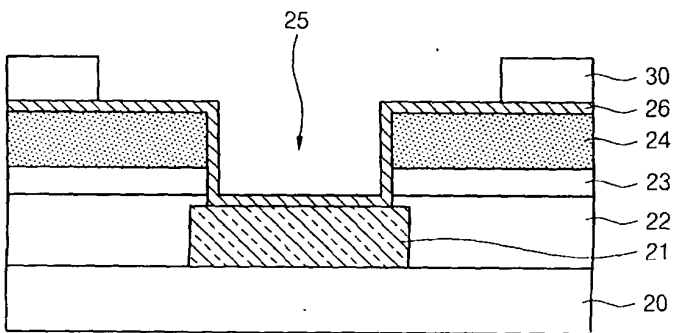
【도 2】



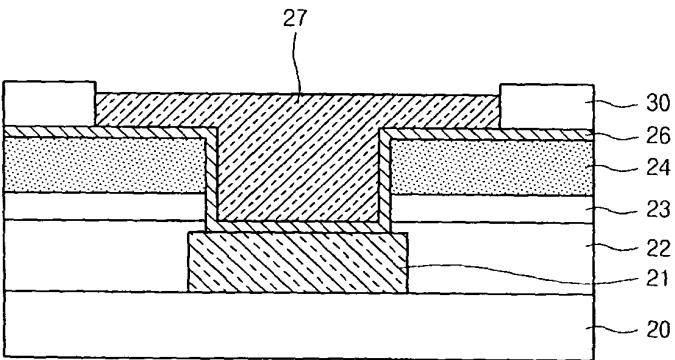
【도 3】



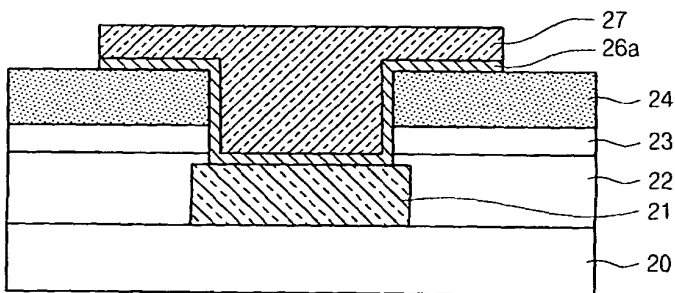
【도 4a】



【도 4b】



【도 4c】



【도 5】

